

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-224277

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

H01L 29/78

(21)Application number : 2002-023306

(71)Applicant : DENSO CORP

(22)Date of filing : 31.01.2002

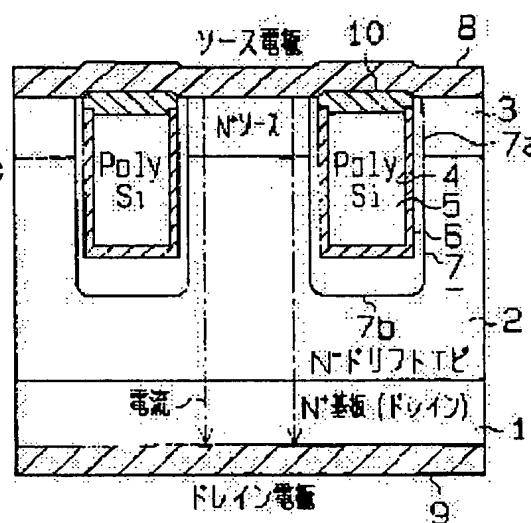
(72)Inventor : RAJESH KUMAR
YAMAMOTO TAKESHI

(54) SILICON CARBIDE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a silicon carbide semiconductor device in which the breakdown voltage can be improved by alleviating the electrical field.

SOLUTION: An N⁺-type SiC drift layer 2 and an N⁺-type SiC source layer 3 are sequentially formed on a SiC substrate 1 for an N⁺-type drain and trenches 4 which penetrate the source layer 3 and reach the drift layer 2 are formed. Polysilicon gate electrodes 5 are arranged in the trenches 4. Oxide films 6 are formed on the inner walls of the trenches 4 and vanadium ion diffusion regions 7 are formed on the periphery of the oxide films 6. Vanadium ion diffusion regions 7b in the bottoms of the trenches 4 are thicker than the vanadium ion diffusion regions 7a on the sides of the trenches 4.



7b: バネジウムイオン拡散領域

LEGAL STATUS

[Date of request for examination]

13.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-224277
(P2003-224277A)

(43) 公開日 平成15年8月8日 (2003.8.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 T
	6 5 3		6 5 2 K
			6 5 3 C

審査請求 未請求 請求項の数19 O L (全 13 頁)

(21) 出願番号 特願2002-23306 (P2002-23306)

(22) 出願日 平成14年1月31日 (2002.1.31)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 ラジェシュ クマール

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100068755

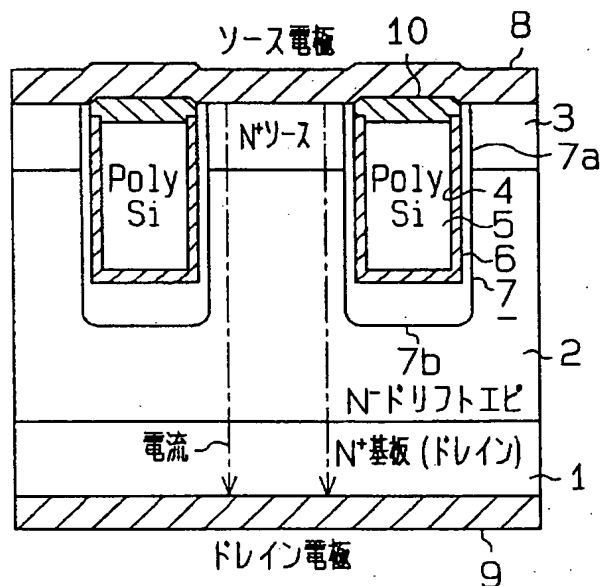
弁理士 恩田 博宣 (外1名)

(54) 【発明の名称】 炭化珪素半導体装置とその製造方法

(57) 【要約】

【課題】 電界を緩和して耐圧を向上させることができる炭化珪素半導体装置を提供する。

【解決手段】 N⁺型ドレイン用SiC基板1の上に、N⁺型SiCドリフト層2と、N⁺型SiCソース層3とが順に形成され、ソース層3を貫通してドリフト層2に達するトレンチ4が形成されている。トレンチ4の内部にポリシリコンゲート電極5が配置されている。トレンチ4の内壁面には酸化膜6が形成されるとともに、酸化膜6の外周側にバナジウムイオン拡散領域7が形成されている。トレンチ底面におけるバナジウムイオン拡散領域7bは、トレンチ側面でのバナジウムイオン拡散領域7aよりも厚くなっている。



7…バナジウムイオン拡散領域

【特許請求の範囲】

【請求項1】 SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とが順に形成されるとともに、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)が形成され、さらに、このトレンチ

(4)の内部にゲート電極(5)を配した炭化珪素半導体装置であって、

前記トレンチ(4)の内壁面に酸化膜(6)を形成するとともに、当該酸化膜(6)の外周側に半絶縁領域

(7)を形成したことを特徴とする炭化珪素半導体装置。

【請求項2】 前記半絶縁領域(7)は、バナジウムイオンを拡散したものであることを特徴とする請求項1に記載の炭化珪素半導体装置。

【請求項3】 前記トレンチ(4)底面における半絶縁領域(7b)の厚さを、トレンチ(4)側面での半絶縁領域(7a)の厚さよりも厚くしたことを特徴とする請求項1に記載の炭化珪素半導体装置。

【請求項4】 前記トレンチ(4)底面における半絶縁領域(7)の下に、SiCよりなる第2導電型の不純物拡散領域(11)を形成したことを特徴とする請求項1に記載の炭化珪素半導体装置。

【請求項5】 トレンチ(4)内のゲート電極(5)の上面におけるソース電極(8)との間に酸化膜(10)を形成したことを特徴とする請求項1に記載の炭化珪素半導体装置。

【請求項6】 SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とが順に形成されるとともに、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)が形成され、さらに、このトレンチ

(4)の内部にゲート電極(5)を配した炭化珪素半導体装置であって、

前記トレンチ(4)の内壁面に酸化膜(6)を形成するとともに、当該酸化膜(6)の外周側にSiCよりなる第2導電型のエピタキシャル膜(20)を形成したことを特徴とする炭化珪素半導体装置。

【請求項7】 前記トレンチ(4)底面におけるエピタキシャル膜(20)の下に、半絶縁領域(21)またはSiCよりなる第2導電型の不純物拡散領域(23)を形成したことを特徴とする請求項6に記載の炭化珪素半導体装置。

【請求項8】 前記半絶縁領域(21)は、バナジウムイオンを拡散したものであることを特徴とする請求項7に記載の炭化珪素半導体装置。

【請求項9】 トレンチ(4)内のゲート電極(5)および第2導電型のエピタキシャル膜(20)の上面にお

けるソース電極(8)との間に酸化膜(22)を形成したことを特徴とする請求項6に記載の炭化珪素半導体装置。

【請求項10】 SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とが順に形成されるとともに、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)が形成され、さらに、このトレンチ

(4)の内部にゲート電極(5)を配した炭化珪素半導体装置であって、

前記トレンチ(4)の内壁面にSiCよりなる第2導電型のエピタキシャル膜(30)を形成したことを特徴とする炭化珪素半導体装置。

【請求項11】 前記トレンチ(4)底面におけるエピタキシャル膜(30)の下に、半絶縁領域(31)またはSiCよりなる第2導電型の不純物拡散領域(32)を形成したことを特徴とする請求項10に記載の炭化珪素半導体装置。

【請求項12】 前記半絶縁領域(31)は、バナジウムイオンを拡散したものであることを特徴とする請求項11に記載の炭化珪素半導体装置。

【請求項13】 トレンチ(4)内のゲート電極(5)および第2導電型のエピタキシャル膜(30)の上面におけるソース電極(8)との間に酸化膜(22)を形成したことを特徴とする請求項10に記載の炭化珪素半導体装置。

【請求項14】 ポリシリコンゲート電極(5)への金属原子の拡散領域(40)にてゲート電極(5)と第2導電型のエピタキシャル膜(30)との間にオーミックコンタクトをとるようにしたことを特徴とする請求項10～13のいずれか1項に記載の炭化珪素半導体装置。

【請求項15】 前記金属原子の拡散領域(40)を形成するための原子源としての金属膜(41, 42)をゲート配線材として用いるようにしたことを特徴とする請求項14に記載の炭化珪素半導体装置。

【請求項16】 SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とが順に形成されるとともに、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)が形成され、さらに、このトレンチ

(4)の内部にゲート電極(5)を配した炭化珪素半導体装置の製造方法であって、

SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とを順に形成する工程と、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)を形成する工程と、

トレンチ(4)の内壁面に酸化膜(6)が、また、当該酸化膜(6)の外周側に半絶縁領域(7)が位置するように、当該膜(6)および領域(7)を形成する工程と、

前記トレンチ(4)の内部にゲート電極となるポリシリコン膜(5)を埋め込む工程と、

トレンチ(4)内においてポリシリコン膜(5)が露出するとともに前記ソース層(3)の上面が露出する状態でポリシリコンが酸化する温度とSiCが酸化する温度の間の温度にて熱酸化を行いポリシリコン膜(5)の上面に自己整合的に熱酸化膜(10)を形成する工程と、
前記熱酸化膜(10)上を含めた前記ソース層(3)の上にソース電極(8)を形成する工程と、を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【請求項17】 SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とが順に形成されるとともに、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)が形成され、さらに、このトレンチ(4)の内部にゲート電極(5)を配した炭化珪素半導体装置の製造方法であって、

SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とを順に形成する工程と、

前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)を形成する工程と、

トレンチ(4)の内壁面にSiCよりなる第2導電型のエピタキシャル膜(20)が位置するように、また、当該エピタキシャル膜(20)の内側に酸化膜(6)が位置するように、当該両膜(6, 20)を形成する工程と、

前記トレンチ(4)の内部にゲート電極となるポリシリコン膜(5)を埋め込む工程と、

トレンチ(4)内においてポリシリコン膜(5)が露出するとともに前記ソース層(3)の上面が露出する状態でポリシリコンが酸化する温度とSiCが酸化する温度の間の温度にて熱酸化を行いポリシリコン膜(5)の上面に自己整合的に熱酸化膜(22a)を形成する工程と、

前記第2導電型のエピタキシャル膜(20)上を覆うように、LDD法により前記熱酸化膜(22a)に対し酸化膜によるサイドウォール(22b)を形成する工程と、

前記酸化膜(22a, 22b)上を含めた前記ソース層(3)の上にソース電極(8)を形成する工程と、を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【請求項18】 SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電

型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とが順に形成されるとともに、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)が形成され、さらに、このトレンチ(4)の内部にゲート電極(5)を配した炭化珪素半導体装置の製造方法であって、

SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とを順に形成する工程と、

前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)を形成する工程と、

トレンチ(4)の内壁面にSiCよりなる第2導電型のエピタキシャル膜(30)を形成する工程と、

前記トレンチ(4)の内部にゲート電極となるポリシリコン膜(5)を埋め込む工程と、

トレンチ(4)内においてポリシリコン膜(5)が露出するとともに前記ソース層(3)の上面が露出する状態でポリシリコンが酸化する温度とSiCが酸化する温度の間の温度にて熱酸化を行いポリシリコン膜(5)の上面に自己整合的に熱酸化膜(22a)を形成する工程と、

前記第2導電型のエピタキシャル膜(30)上を覆うように、LDD法により前記熱酸化膜(22a)に対し酸化膜によるサイドウォール(22b)を形成する工程と、

前記酸化膜(22a, 22b)上を含めた前記ソース層(3)の上にソース電極(8)を形成する工程と、を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【請求項19】 SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とが順に形成されるとともに、前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)が形成され、さらに、このトレンチ(4)の内部にゲート電極(5)を配した炭化珪素半導体装置の製造方法であって、

SiCよりなる第1導電型のドレイン用基板(1)の上に、SiCよりなる低濃度な第1導電型のドリフト層(2)と、SiCよりなる高濃度な第1導電型のソース層(3)とを順に形成する工程と、

前記ソース層(3)を貫通してドリフト層(2)に達するトレンチ(4)を形成する工程と、

トレンチ(4)の内壁面にSiCよりなる第2導電型のエピタキシャル膜(30)を形成する工程と、

前記トレンチ(4)の内部にゲート電極となるポリシリコン膜(5)を埋め込む工程と、

前記ポリシリコン膜(5)の上に金属膜(41, 42)を形成するとともにアニールを行ってポリシリコン膜(5)と第2導電型のエピタキシャル膜(30)との界

10

20

30

40

50

面に達する金属原子の拡散領域(40)を形成する工程と、
前記ソース層(3)の上にソース電極(8)を形成する工程と、を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は炭化珪素半導体装置に係り、詳しくは、縦型の接合型FET(縦型JFET)に関するものである。

【0002】

【従来の技術】SiCを材料とした縦型JFETが、Technical Digest of Int'l Conf. on SiC and Related Materials-ICSCRM2001-, Tsukuba, Japan, 2001 p327に開示されている。これを図24に示す。N⁺SiCドレイン用基板100の上に、N⁺SiCドリフト層101と、N⁺SiCソース層102とが順に形成されるとともに、ソース層102を貫通してドリフト層101に達するトレンチ103が形成され、トレンチ103の内部にゲート電極104を配置している。さらに、トレンチ103の内壁面に酸化膜105を形成している。この酸化膜105によってゲートリークに対して大きなバリアになり、ターンオン、オフ特性に影響を与える。

【0003】ところが、酸化膜105中では電界強度がSiC中に比べて3倍になるので、酸化膜に大きな電界がかかり、ゲート電極とドレイン間の耐圧が低下するという問題があった。

【0004】

【発明が解決しようとする課題】本発明はこのような背景の下になされたものであり、その目的は、電界を緩和して耐圧を向上させることができる炭化珪素半導体装置を提供することにある。

【0005】

【課題を解決するための手段】請求項1に記載の炭化珪素半導体装置は、トレンチの内壁面に酸化膜を形成するとともに、当該酸化膜の外周側に半絶縁領域を形成したことを特徴としている。よって、トレンチの内壁面に酸化膜を形成したことにより、ゲートリークに対して大きなバリアになり、ターンオン、オフ特性に影響を与えることができる。ここで、酸化膜中では電界強度がSiC中に比べて3倍になるので、酸化膜に大きな電界がかかるが、酸化膜の外周側に形成した半絶縁領域により電界を分担し緩和することができ、耐圧を向上させることができる。また、デバイスがオン状態のとき、トレンチ間で蓄積型のチャネルが形成でき、低オン抵抗化が可能となる。

【0006】請求項2に記載のように、前記半絶縁領域は、バナジウムイオンを拡散したものであるとよい。また、請求項3に記載のように、前記トレンチ底面における半絶縁領域の厚さを、トレンチ側面での半絶縁膜の厚

さよりも厚くすると、高耐圧化がさらに可能である。あるいは、請求項4に記載のように、トレンチ底面における半絶縁領域の下に、SiCよりなる第2導電型の不純物拡散領域を形成すると、この第2導電型の不純物拡散領域とドリフト層の間のビルトインポテンシャルの差を利用してドリフト層へ空乏層を伸ばすことができるため、よりよくノーマリーオフが実現できる。

【0007】また、請求項5に記載のように、トレンチ内のゲート電極の上面におけるソース電極との間に酸化膜を形成すると、ゲート電極とソース電極とを電氣的に分離することができる。

【0008】請求項6に記載の炭化珪素半導体装置は、トレンチの内壁面に酸化膜を形成するとともに、当該酸化膜の外周側にSiCよりなる第2導電型のエピタキシャル膜を形成したことを特徴としている。よって、トレンチの内壁面に酸化膜を形成したことにより、ゲートリークに対して大きなバリアになり、ターンオン、オフ特性に影響を与えることができる。ここで、酸化膜中では電界強度がSiC中に比べて3倍になるので、酸化膜に大きな電界がかかるが、酸化膜の外周側に形成したSiCよりなる第2導電型のエピタキシャル膜により電界を分担し緩和することができ、耐圧を向上させることができる。また、デバイスがオン状態のとき、トレンチ間で蓄積型のチャネルが形成でき、低オン抵抗化が可能となる。

【0009】請求項7に記載のように、トレンチ底面におけるエピタキシャル膜の下に半絶縁領域またはSiCよりなる第2導電型の不純物拡散領域を形成するとよい。この半絶縁領域は、請求項8に記載のように、バナジウムイオンを拡散することで構成することができる。特に、トレンチの底部に半絶縁領域を形成すると、高耐圧化がさらに可能である。また、SiCよりなる第2導電型の不純物拡散領域を形成すると、よりよくノーマリーオフが実現できる。

【0010】請求項9に記載のように、トレンチ内のゲート電極および第2導電型のエピタキシャル膜の上面におけるソース電極との間に酸化膜を形成するとよい。このようにすると、ゲート電極とソース電極とを電氣的に分離することができる。

【0011】請求項10に記載の炭化珪素半導体装置は、トレンチの内壁面にSiCよりなる第2導電型のエピタキシャル膜を形成したことを特徴としている。よって、ゲート電極(例えばポリシリコンゲート電極)とエピ膜の間のショットキーバリアによりリークを抑えることができる。また、蓄積チャネルは形成されないが、この構造のメリットとして、隣合うトレンチ間での側面における空乏層の広がりをごコントロールすることにより電流制御ができ、オフ特性を得るためにトレンチ側面を有効に利用することができるため深いトレンチを形成する必要がなくなる。そのため、深いトレンチ内にSiC

10

20

30

40

50

のエピ層成長を行う必要がなくプロセスが容易となる。また、トレンチ深さを浅くでき、これにより、低オン抵抗化を図ることができる。このようにして、電界を緩和することができ、耐圧を向上させることができる。

【0012】請求項11に記載のように、トレンチ底面におけるエピタキシャル膜の下に、半絶縁領域またはSiCよりなる第2導電型の不純物拡散領域を形成してもよい。この半絶縁領域は、請求項12に記載のように、バナジウムイオンを拡散することにより構成することができる。

【0013】請求項13に記載のように、トレンチ内のゲート電極および第2導電型のエピタキシャル膜の上面におけるソース電極との間に酸化膜を形成するとよい。このようにすると、ゲート電極とソース電極とを電氣的に分離することができる。

【0014】また、請求項14に記載のように、ポリシリコンゲート電極への金属原子の拡散領域にてゲート電極と第2導電型のエピタキシャル膜との間にオーミックコンタクトをとるようにすることもできる。オーミックコンタクトによってデバイスのダイナミック特性が向上する。ここで、請求項15に記載のように、金属原子の拡散領域を形成するための原子源としての金属膜をゲート配線材として用いるようにしてもよい。

【0015】請求項16に記載の炭化珪素半導体装置の製造方法により、請求項5に記載の炭化珪素半導体装置を得ることができる。よって、アイソレーションがセルフアラインで形成することができるようになる。

【0016】請求項17に記載の炭化珪素半導体装置の製造方法により、請求項9に記載の炭化珪素半導体装置を得ることができる。よって、アイソレーションがセルフアラインで形成することができるようになる。

【0017】請求項18に記載の炭化珪素半導体装置の製造方法により、請求項13に記載の炭化珪素半導体装置を得ることができる。よって、アイソレーションがセルフアラインで形成することができるようになる。

【0018】請求項19に記載の炭化珪素半導体装置の製造方法により、請求項14に記載の炭化珪素半導体装置を得ることができる。

【0019】

【発明の実施の形態】（第1の実施の形態）以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

【0020】図1には、本実施の形態における炭化珪素半導体装置（縦型JFET）の縦断面図を示す。図1において、SiCよりなるN⁻型ドレイン用基板1の上に、SiCよりなるN⁻型のドリフト層2と、SiCよりなるN⁻型のソース層3とが順に形成されている。また、ソース層3を貫通してドリフト層2に達するトレンチ4が形成されている。さらに、トレンチ4の内部にポリシリコンゲート電極5が配置されている。

【0021】トレンチ4の内壁面には酸化膜（SiO₂膜）6が形成されている。このように、トレンチ4の内壁面に酸化膜6を形成したことにより、ゲートリークに対して大きなバリアになり、ターンオン、オフ特性に影響を与えることができる。

【0022】また、酸化膜6の外周側に半絶縁領域7が形成されている。半絶縁領域7はバナジウムイオンを拡散したもの（バナジウムイオン拡散領域）である。トレンチ底面におけるバナジウムイオン拡散領域7bの厚さは、トレンチ側面でのバナジウムイオン拡散領域7aの厚さよりも厚くなっている。ここで、酸化膜6中では電界強度がSiC中に比べて3倍になるので、酸化膜6に大きな電界がかかるが、酸化膜6の外周側に形成したバナジウムイオン拡散領域（半絶縁領域）7により電界を分担し緩和することができ、耐圧を向上させることができる。また、デバイスがオン状態のとき、トレンチ間で蓄積型のチャネルが形成でき、低オン抵抗化が可能となる。さらに、半絶縁領域7はトレンチ底面における半絶縁領域7bがトレンチ側面での半絶縁領域7aよりも厚くなっており、これにより、ドレイン電極とゲート電極間の高耐圧化がさらに可能となる。図1の構成はノーモリーオフとする場合に特に適している。

【0023】また、ソース層3の上面にはソース電極8が形成されている。基板1の裏面（下面）にはドレイン電極9が形成されている。トレンチ4の内部のポリシリコンゲート電極5の上面におけるソース電極8との間には酸化膜10が形成されている。これにより、ゲート電極5とソース電極8とが電氣的に分離されている。

【0024】次に、炭化珪素半導体装置の製造方法について説明する。図2、3は製造工程の説明のための縦断面図である。まず、図2（a）に示すように、N⁻型SiC基板1を用意し、エピタキシャル成長法により、その上にN⁻ドリフト層2とN⁻ソース層3を連続して形成する。このように、基板1上にN⁻ドリフト層2とN⁻ソース層3とを順に形成する。そして、図2（b）に示すように、ソース層3を貫通してドリフト層2に達するトレンチ4を形成する。これにはRIE法を用いる。

【0025】その後、図2（c）に示すように、トレンチ4の内壁面（側面と底面）にバナジウムをイオン注入する。このとき、トレンチ底面に対しては垂直方向から強いエネルギーにてイオンを注入するとともに、トレンチ側面に対しては斜め方向から弱いエネルギーにてイオンを注入する。これにより、トレンチ底面におけるバナジウムイオン拡散領域7bは、トレンチ側面でのバナジウムイオン拡散領域7aよりも厚くなる。

【0026】さらに、図3（a）に示すように、トレンチ4内の壁面に熱酸化膜（SiO₂膜）6を形成する。このとき、バナジウムイオンの拡散領域7の表面に熱酸化膜を形成することになり、膜厚の厚い熱酸化膜を形成することができる（広義には、イオン拡散層の表面に熱

酸化膜を形成することにより厚い膜厚を形成することができる)。

【0027】このように、トレンチ4の内壁面に酸化膜6が、また、当該酸化膜6の外周側にバナジウムイオン拡散領域(半絶縁領域)7が位置するように、当該膜6および領域7を形成する。

【0028】そして、図3(b)に示すように、ポリシリコン膜5をトレンチ4内に埋め込まれるように成膜し、さらに、エッチバックしてソース層3の上面のポリシリコン膜5を取り除く。このようにして、トレンチ4の内部にゲート電極となるポリシリコン膜5を埋め込む。

【0029】さらに、図3(c)に示すように、800℃程度の熱酸化によりトレンチ4の内部のポリシリコン膜5の表面を熱酸化膜10で覆う。このとき、ポリシリコンは酸化温度が低く、SiCは酸化温度が高いので、当該熱酸化をポリシリコンの酸化温度とSiCの酸化温度との中間温度で行うようにする。このようにすると、セルフアラインでトレンチ開口部を塞ぐ酸化膜10を形成することができる。つまり、トレンチ4内においてポリシリコン膜5が露出するとともにソース層3の上面が露出する状態でポリシリコンが酸化する温度とSiCが酸化する温度の間の温度にて熱酸化を行うとポリシリコン膜5の上面に自己整合的に熱酸化膜10を形成することができる。よって、アイソレーションがセルフアラインで形成することができるようになる。従って、セルサイズを微細化する場合に有利である。

【0030】その後、図1に示すように、熱酸化膜10上を含めたソース層3の上に金属膜を形成してソース電極8とするとともに、基板1の裏面に金属膜を形成してドレイン電極9とする。

【0031】図1においてはトレンチ4の内壁面に酸化膜6を形成するとともに、酸化膜6の外周側に半絶縁領域7を形成し、この領域7はトレンチ底面における半絶縁領域7bはトレンチ側面での半絶縁領域7aよりも厚くしたが、図4に示すように、トレンチ底面において半絶縁領域を厚くする代わりにアルミニウムイオンを拡散した領域11を形成してもよい。詳しくは、例えばアルミニウムをイオン注入した後、バナジウムをイオン注入することにより作製することができる。このようにして、アルミニウムを拡散すると、即ち、トレンチ4底面における半絶縁領域7の下にSiCよりなるP型の不純物拡散領域11を形成すると、このP型の不純物拡散領域11とドリフト層2の間のビルトインポテンシャルの差を利用してドリフト層2へ空乏層を伸ばすことができるため、よりよくノーマリーオフが実現できる。

【0032】また、図1の構成に対し図5に示すように、トレンチ側面および底面において酸化膜6の外周側に均等な厚さの半絶縁領域(バナジウムイオン拡散領域)7を形成してもよい。特にノーマリオンタイプにす

る場合に好ましい。

【0033】なお、図1でのトレンチ4内の酸化膜6を無くし図6のようにすることも可能であり、さらに、トレンチ4の内部に埋め込むポリシリコンゲート電極5に関して、その導電型は、図6に示すようにP型であっても図7に示すようにN型であってもよい。特に図6の構成はノーマリオフタイプにする場合に好ましい。P型では、P型のポリシリコンとSiCの間の静電ポテンシャルの差が大きくなり、N⁻ドリフト側に空乏層を大きく伸ばすことが可能であるからである。

(第2の実施の形態)次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0034】図8には、本実施の形態における炭化珪素半導体装置の縦断面図を示す。図8において、トレンチ4の内壁面には酸化膜6が形成されている。また、図1でのバナジウムイオン拡散領域7の代わりに図8においては、酸化膜6の外周側にはSiCよりなるP⁺型のエピタキシャル膜20が形成されている。よって、トレンチ4の内壁面に酸化膜6を形成したことにより、ゲートリークに対して大きなバリアになり、ターンオン、オフ特性に影響を与えることができる。ここで、酸化膜中では電界強度がSiC中に比べて3倍になるので、酸化膜6に大きな電界がかかるが、酸化膜6の外周側に形成したP⁺型エピタキシャル膜20により電界を分担し緩和することができ、耐圧を向上させることができる。また、デバイスがオン状態のとき、トレンチ間で蓄積型のチャネルが形成でき、低オン抵抗化が可能となる。

【0035】さらに、トレンチ4底面におけるエピタキシャル膜20の下には半絶縁領域21が形成されている。半絶縁領域21は、バナジウムイオンを拡散したもの(バナジウムイオン拡散領域)である。このように、トレンチ4の底部にバナジウムを拡散すると、高耐圧化がさらに可能である。

【0036】また、トレンチ4内のポリシリコンゲート電極5およびP⁺型エピタキシャル膜20の上面におけるソース電極8との間には酸化膜22が形成されている。次に、炭化珪素半導体装置の製造方法について説明する。

【0037】図9、10は製造工程の説明のための縦断面図である。まず、図2(a)、(b)を用いて説明したように、N⁻型SiC基板1の上にエピタキシャル成長法によりN⁻ドリフト層2とN⁻ソース層3とを順に形成する。さらに、RIE法によりソース層3を貫通してドリフト層2に達するトレンチ4を形成する。

【0038】その後、図9(a)に示すように、トレンチ4の底面にバナジウムをイオン注入してバナジウムイオン拡散領域21を形成する。さらに、図9(b)に示すように、トレンチ4内の壁面にSiCよりなるP⁺型のエピタキシャル膜20を形成する。詳しくは、トレンチ4内を含めたソース層3の上面にP⁺エピ層20を形

10

20

30

40

50

成し、さらに、ソース層3の上面のエピ膜20をエッチバックにより除去する。そして、図9(c)に示すように、エピタキシャル膜20の内面、即ち、トレンチ4内の壁面に熱酸化膜(SiO₂膜)6を形成する。

【0039】このように、トレンチ4の内壁面に酸化膜6が、また、当該酸化膜6の外周側にSiCよりなるP⁺型のエピタキシャル膜20が位置するように、当該両膜6、20を形成する。つまり、トレンチ4の内壁面にSiCよりなるP⁺型のエピタキシャル膜20が位置するように、また、当該エピタキシャル膜20の内側に酸化膜6が位置するように、当該両膜6、20を形成する。

【0040】そして、図10(a)に示すように、ポリシリコン膜5をトレンチ4内が埋め込まれるように成膜し、さらに、エッチバックしてソース層3の上面のポリシリコン膜5を取り除く。このように、トレンチ4の内部にゲート電極となるポリシリコン膜5を埋め込む。

【0041】さらに、図10(b)に示すように、800℃程度の熱酸化によりトレンチ4の内部のポリシリコン膜5の表面を熱酸化膜22aで覆う。さらに、図10(c)に示すように、LDD法によりエピ層20の上も酸化膜22bで覆う。つまり、基板上(ソース層3上)にLTO膜を全面に形成するとともにこのLTO膜に対し異方性エッチングを行い(エッチバックし)、熱酸化膜22aにサイドウォールを残すことによりエピ膜20の上を酸化膜22bで覆うようにする。このようにして、トレンチ4内においてポリシリコン膜5が露出するとともにソース層3の上面が露出する状態でポリシリコンが酸化する温度とSiCが酸化する温度の間の温度にて熱酸化を行いポリシリコン膜5の上面に自己整合的に熱酸化膜22aを形成し、さらに、P型のエピタキシャル膜20上を覆うように、LDD法により熱酸化膜22aに対し酸化膜によるサイドウォール22bを形成する。よって、アイソレーションがセルフアラインで形成することができるようになる。

【0042】その後、図8に示すように、酸化膜22(22a、22b)の上を含めたソース層3の上に金属膜を形成してソース電極8とするとともに、基板1の裏面に金属膜を形成してドレイン電極9とする。

【0043】図8においてはトレンチ4の内壁面に酸化膜6を形成するとともに、酸化膜6の外周側にP⁺型SiC膜20を形成し、トレンチ底面における膜20の下にバナジウムイオン拡散領域21を形成したが、図11に示すように、トレンチ底面における膜20の下にアルミニウムイオン拡散領域23を形成してもよい。このようにアルミニウムを拡散すると、即ち、トレンチ4底面におけるエピタキシャル膜20の下にSiCよりなるP型の不純物拡散領域23を形成すると、このP型の不純物拡散領域23とドリフト層の間のビルトインポテンシャルの差を利用してドリフト層へ空乏層を伸ばすことが

できるため、よりよくノーマリーオフが実現できる。

【0044】また、図8の構成に対し図12に示すように、トレンチ底面においてバナジウムイオン拡散領域21を設けなくしてもよい。なお、P型エピ膜20ではなく、図13に示すように、イオン注入または熱拡散によるP型不純物拡散領域24とすることも可能である。具体的には、例えばアルミやボロンやカーボンのイオン注入または熱拡散により形成する。

【0045】また、トレンチ4の内部に埋め込むポリシリコンゲート電極5に関して、その導電型は、P型であってもN型であってもよい。

(第3の実施の形態) 次に、第3の実施の形態を、第1、2の実施の形態との相違点を中心に説明する。

【0046】図14には、本実施の形態における炭化珪素半導体装置の縦断面図を示す。第2実施形態での図8の酸化膜6が無く、図14において、トレンチ4の内壁面にSiCよりなるP⁺型のエピタキシャル膜30が形成されている。つまり、ポリシリコンゲート電極5とP⁺型エピタキシャル膜30との界面が形成されている。よって、ポリシリコンゲート電極5とP⁺型エピ膜30の間のショットキーバリアによりリークを抑えることができる。また、蓄積チャネルは形成されないが、この構造については以下のメリットがある。隣り合うトレンチ間での側面における空乏層の広がりを見をコントロールすることにより電流制御ができ、オフ特性を得るためにトレンチ側面を有効に利用することができるため深いトレンチを形成する必要がなくなる。そのため、深いトレンチ4内にSiCのエピ層成長を行う必要がなくプロセスが容易となる。また、トレンチ深さを浅くでき、これにより、低オン抵抗化を図ることができる。このようにして、電界を緩和することができ、耐圧を向上させることができる。

【0047】また、トレンチ4底面におけるエピタキシャル膜30の下に半絶縁領域31が形成されている。半絶縁領域31はバナジウムイオンを拡散したもの(バナジウムイオン拡散領域)である。さらに、トレンチ4内のゲート電極5およびP⁺型エピタキシャル膜30の上面におけるソース電極8との間には酸化膜22が形成されている。

【0048】製造工程としては、トレンチ4を形成した後において、トレンチ4の底面にバナジウムイオン拡散領域31を形成し(図9(a)参照)、トレンチ4の内壁面にP⁺型エピタキシャル膜30を形成すればよい。その後は、図10(a)~(c)のごとく、トレンチ4の内部にゲート電極となるポリシリコン膜5を埋め込み、トレンチ4内においてポリシリコン膜5が露出するとともにソース層3の上面が露出する状態でポリシリコンが酸化する温度とSiCが酸化する温度の間の温度にて熱酸化を行いポリシリコン膜5の上面に自己整合的に熱酸化膜22aを形成する。よって、アイソレーション

がセルフアラインで形成することができるようになる。さらに、P型エピタキシャル膜30上を覆うように、LDD法により熱酸化膜22aに対し酸化膜によるサイドウォール22bを形成する。そして、酸化膜22a、22b上を含めたソース層3の上にソース電極8を形成する。

【0049】図14に代わる構成を以下、説明する。バナジウムイオン拡散領域31の代わりに、図15に示すように、トレンチ底面におけるエピタキシャル膜30の下にアルミニウムイオン拡散領域(SiCよりなるP型の不純物拡散領域)32を形成してもよい。

【0050】図16に示すように、図14でのバナジウムイオン拡散領域31を無くしてもよい。なお、P型エピ膜30ではなく、図17に示すようにイオン注入または熱拡散による不純物拡散領域33とすることも可能である。具体的には、例えば、アルミニウムやボロンやカーボンのイオン注入または熱拡散により形成する。

【0051】また、トレンチ4の内部に埋め込むポリシリコンゲート電極5に関して、その導電型は、P型であってもN型であってもよい。

(第4の実施の形態)次に、第4の実施の形態を、第3の実施の形態との相違点を中心に説明する。

【0052】図18には、本実施の形態における炭化珪素半導体装置の縦断面図を示す。図14に比べ図18においては、ポリシリコンゲート電極5への金属原子の拡散領域40にてゲート電極5とP型エピタキシャル膜30との間にオーミックコンタクトをとっている。オーミックコンタクトによってデバイスのダイナミック特性が向上する。また、図14の酸化膜22に代わり、図18ではLTO膜43を形成している。

【0053】次に、炭化珪素半導体装置の製造方法について説明する。図19、20は製造工程の説明のための縦断面図である。まず、図2(a)、(b)を用いて説明したように、N型SiC基板1の上にエピタキシャル成長法によりN⁺ドリフト層2とN⁺ソース層3とを順に形成する。さらに、RIE法によりソース層3を貫通してドリフト層2に達するトレンチ4を形成する。

【0054】その後、図19(a)に示すように、トレンチ4の底面にバナジウムをイオン注入してバナジウムイオン拡散領域31を形成する。さらに、図19(b)に示すように、トレンチ4内の壁面にSiCよりなるP型のエピタキシャル膜30を形成する。詳しくは、トレンチ4内を含めたソース層3の上面にP⁺エピ層30を形成し、さらに、ソース層3の上面のエピ膜30をエッチバックにより除去する。

【0055】そして、図19(c)に示すように、トレンチ4の内部にゲート電極となるポリシリコン膜5をトレンチ4内が埋め込まれるように成膜し、さらに、エッチバックしてソース層3の上面のポリシリコン膜5を取り除く。

【0056】さらに、図20(a)に示すように、ポリシリコン膜5の上面における中央部分に、金属膜としてのアルミ膜41とニッケル膜42の積層体を配置する。さらに、アニールを行って金属(41、42)をポリシリコン膜5内に拡散させる。これにより、ポリシリコンゲート電極5内においてP⁺型エピ膜30に達する金属原子の拡散領域40が形成される。つまり、アニールを行ってポリシリコン膜5とP⁺型エピタキシャル膜30との界面に達する金属原子の拡散領域40を形成する。その結果、ポリシリコンゲート電極5はP⁺型エピ膜30に対しオーミックコンタクトがとられる。

【0057】その後、図20(b)に示すように、LTO膜43を成膜し、ソースコンタクト部を開口する。つまり、トレンチ4の内部のポリシリコン膜5およびP⁺型エピ膜30の上面をLTO膜43で覆う。さらに、図18に示すように、ソース層3の上面に金属膜を形成してソース電極8とするとともに、基板1の裏面に金属膜を形成してドレイン電極9とする。

【0058】金属原子の拡散領域40を形成するための原子源としての金属膜41、42をゲート配線材として用いることができる。本実施形態の応用例として、バナジウムイオン拡散領域31の代わりに図21に示すように、アルミニウムイオン拡散領域44を形成してもよい。また、図22に示すように、トレンチ底部に拡散領域を設けないようにしてもよい。

【0059】なお、P型エピ膜30ではなく、図23に示すように、イオン注入または熱拡散によるP型不純物拡散領域45とすることも可能である。具体的には、例えば、アルミやボロンやカーボンのイオン注入または熱拡散により形成する。

【0060】また、トレンチ4の内部に埋め込むポリシリコンゲート電極5に関して、その導電型は、P型であってもN型であってもよい。

【図面の簡単な説明】

【図1】第1の実施の形態における炭化珪素半導体装置の縦断面図。

【図2】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図3】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図4】別例の炭化珪素半導体装置の縦断面図。

【図5】別例の炭化珪素半導体装置の縦断面図。

【図6】別例の炭化珪素半導体装置の縦断面図。

【図7】別例の炭化珪素半導体装置の縦断面図。

【図8】第2の実施の形態における炭化珪素半導体装置の縦断面図。

【図9】炭化珪素半導体装置の製造工程を説明するための縦断面図。

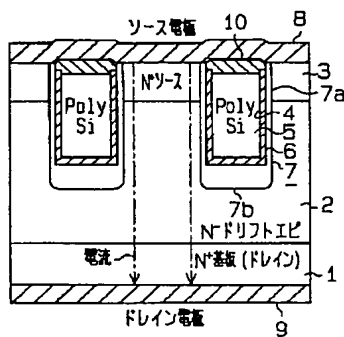
【図10】炭化珪素半導体装置の製造工程を説明するための縦断面図。

- 【図11】別例の炭化珪素半導体装置の縦断面図。
 【図12】別例の炭化珪素半導体装置の縦断面図。
 【図13】別例の炭化珪素半導体装置の縦断面図。
 【図14】第3の実施の形態における炭化珪素半導体装置の縦断面図。
 【図15】別例の炭化珪素半導体装置の縦断面図。
 【図16】別例の炭化珪素半導体装置の縦断面図。
 【図17】別例の炭化珪素半導体装置の縦断面図。
 【図18】第4の実施の形態における炭化珪素半導体装置の縦断面図。
 【図19】炭化珪素半導体装置の製造工程を説明するための縦断面図。
 【図20】炭化珪素半導体装置の製造工程を説明するための縦断面図。
 【図21】別例の炭化珪素半導体装置の縦断面図。 *

- * 【図22】別例の炭化珪素半導体装置の縦断面図。
 【図23】別例の炭化珪素半導体装置の縦断面図。
 【図24】従来技術を説明するための炭化珪素半導体装置の縦断面図。
 【符号の説明】
 1…N⁺型ドレイン用基板、2…N⁺型ドリフト層、3…N⁺型ソース層、4…トレンチ、5…ポリシリコンゲート電極、6…酸化膜、7…バナジウムイオン拡散領域、7a…バナジウムイオン拡散領域、7b…バナジウムイオン拡散領域、8…ソース電極、9…ドレイン電極、10…酸化膜、20…P⁺型エピタキシャル膜、22…酸化膜、30…P⁺型エピタキシャル膜、31…バナジウムイオン拡散領域、32…アルミニウムイオン拡散領域、40…金属原子拡散領域。

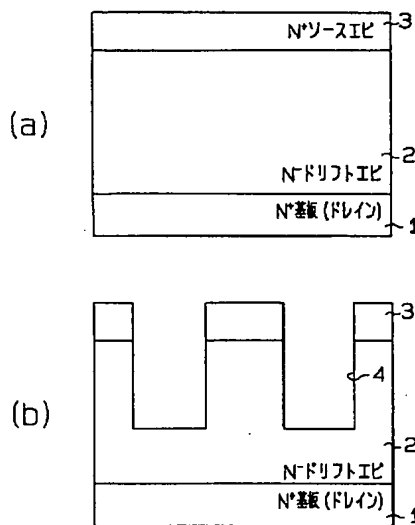
10

【図1】

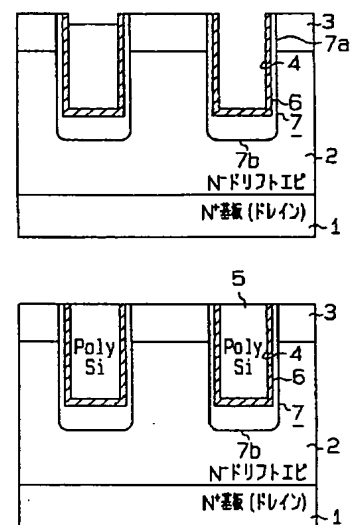


7-バナジウムイオン拡散領域

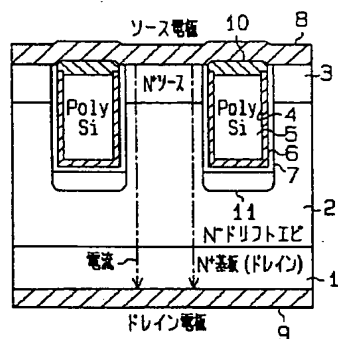
【図2】



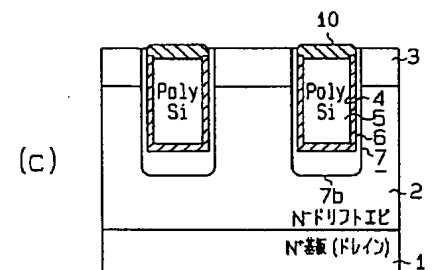
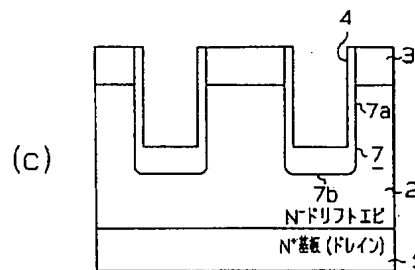
【図3】



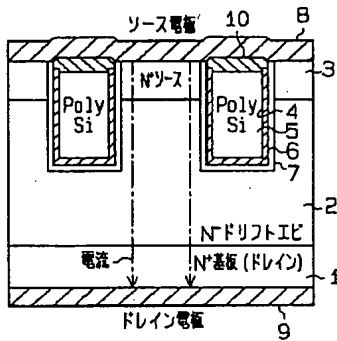
【図4】



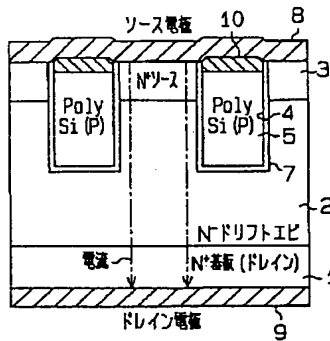
11-アルミニウムイオン拡散領域



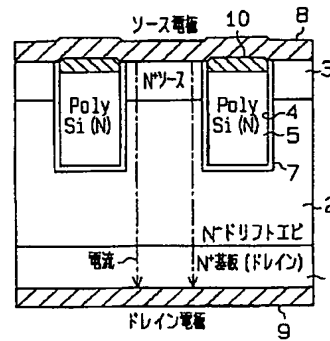
【図5】



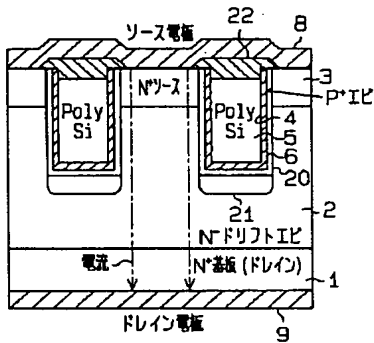
【図6】



【図7】

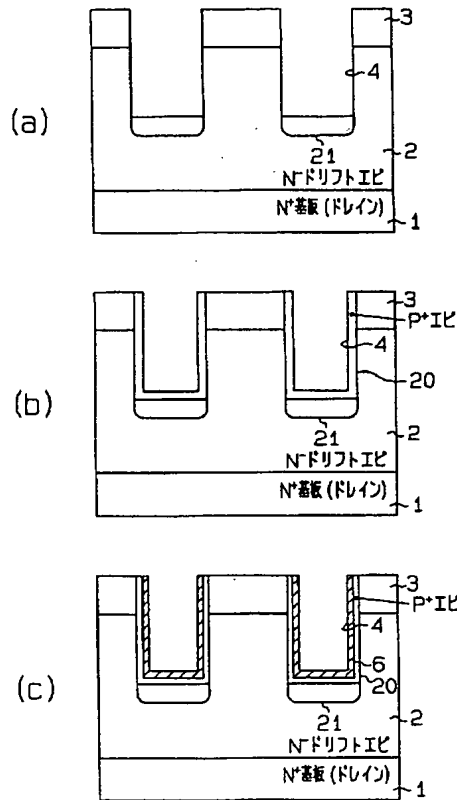


【図8】

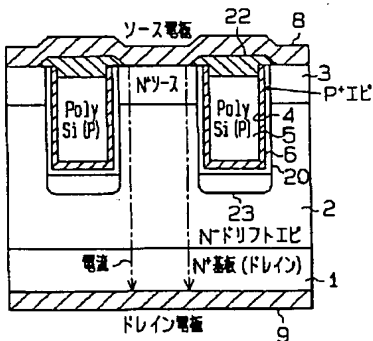


21-バナジウムイオン拡散領域

【図9】

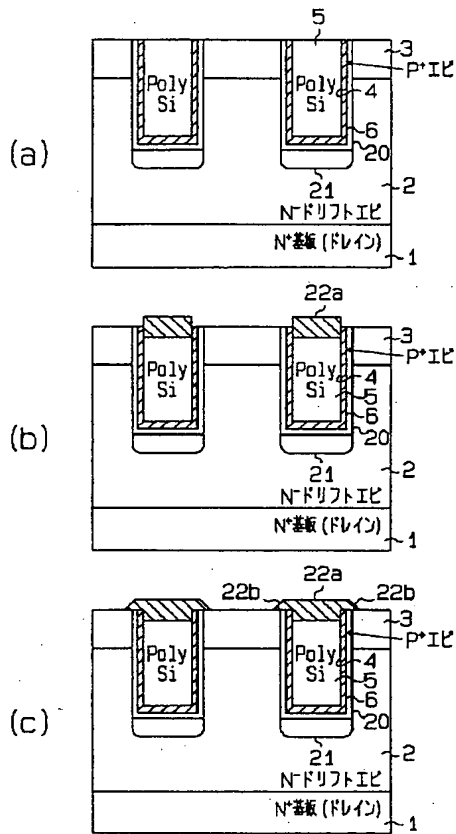


【図11】

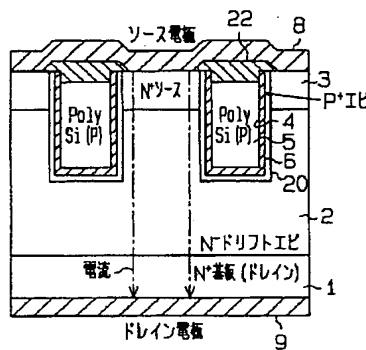


23-アルミニウムイオン拡散領域

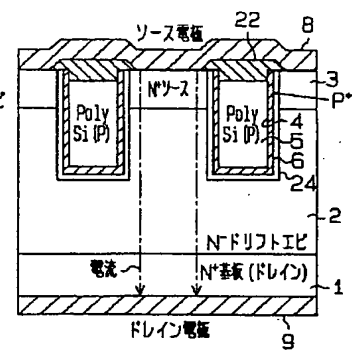
【図10】



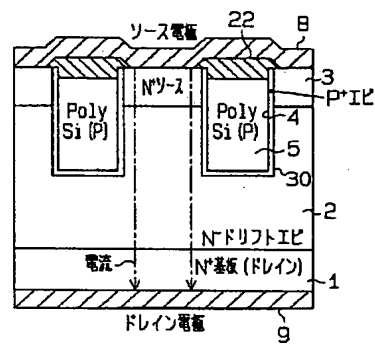
【図12】



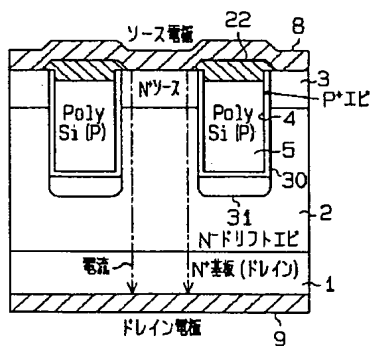
【図13】



【図16】

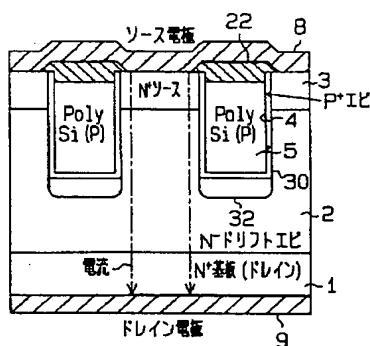


【図14】



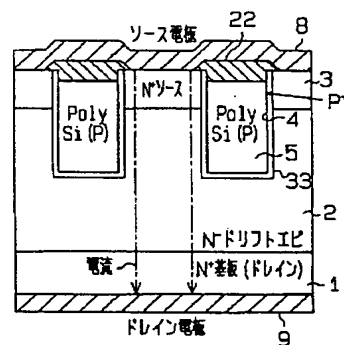
31-バナジウムイオン拡散領域

【図15】

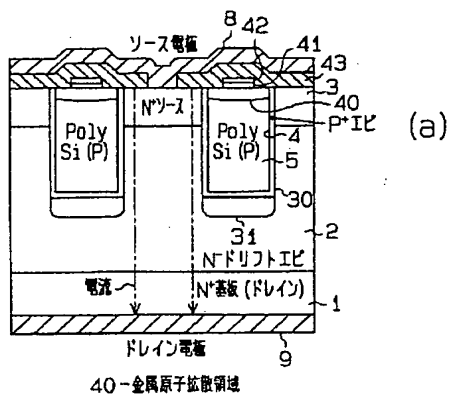


32-アルミニウムイオン拡散領域

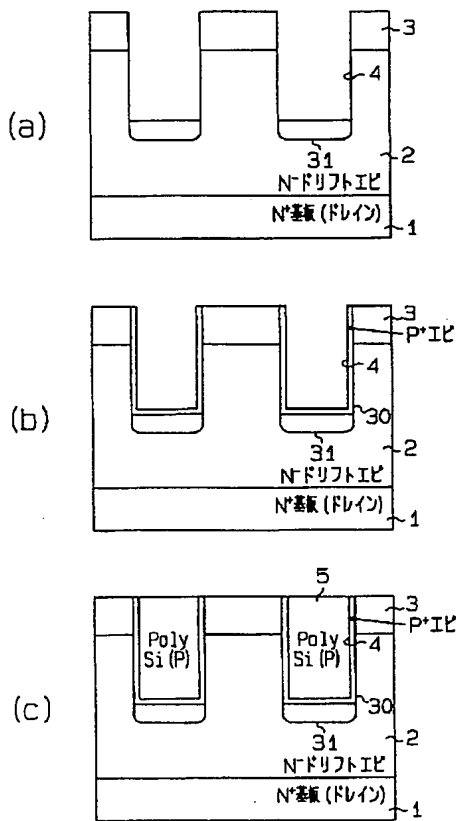
【図17】



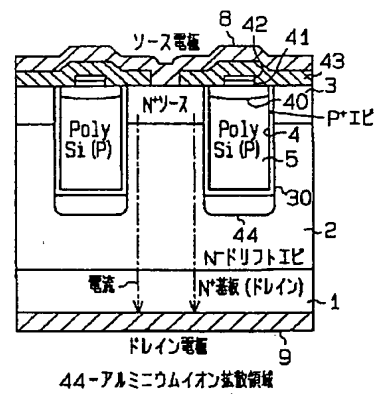
【図18】



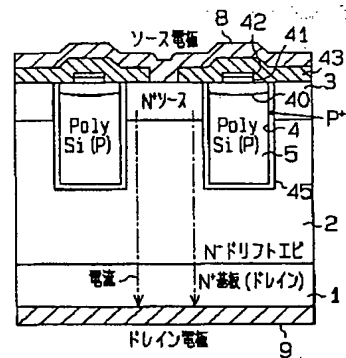
【図19】



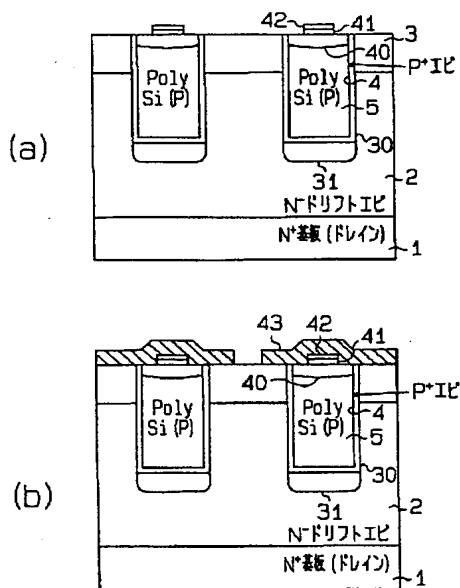
【図21】



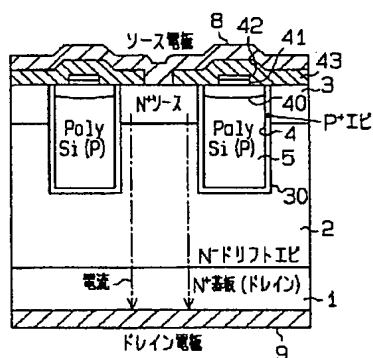
【図23】



【図20】



【図22】



【図24】

